
Dispositif expérimental

5.1 : Introduction

Ce chapitre donne la description du dispositif expérimental et ces différents modules électroniques. Il regroupe les diverses parties constituant la chaîne de traitement d'images. Il permet le développement et l'implantation en temps réel, des algorithmes destinés au traitement d'image et de la vidéo, tel que la segmentation, la compression, ainsi que la détection d'objet mobile dans une séquence d'images; l'objectif de notre travail.

5.2 : Présentation de la plate-forme expérimentale

La plate-forme expérimentale illustrée par la figure **Fig (5.1)**, est utilisée pour valider les algorithmes de détection d'objet mobile. Elle est conçue autour d'un processeur de traitement de signal; le '*DSP TMS320C6711*' de '*TEXAS INSTRUMENTS*'. Le module carte mère est présenté par le kit de développement nommé '*DSK⁵TMS320C6711*' [41]. Celui-ci intègre des interfaces de communication, un interface analogique (voix et données), et des ports d'entrée/sortie, dans une seule carte pour former un système d'évaluation destiné aux applications liées à l'imagerie.

⁵ : *DSP Starter Kit*

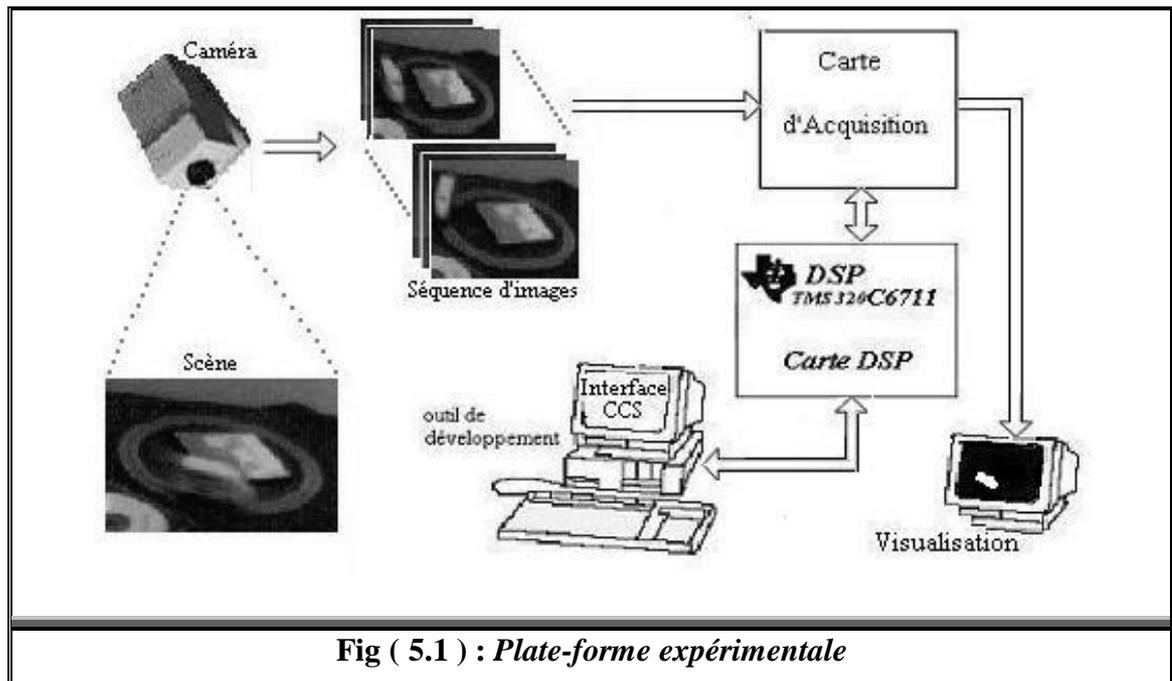


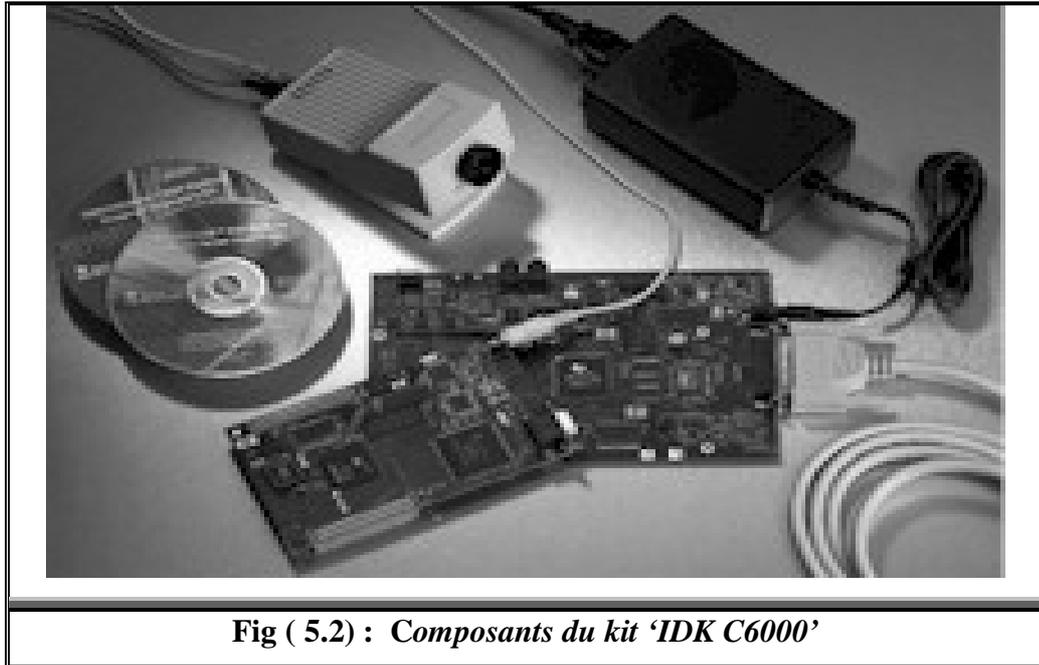
Fig (5.1) : Plate-forme expérimentale

Cette carte 'DSK' est reliée à un micro-ordinateur contenant un outil de développement software appelé 'CCS'⁶, simplifiant la saisie et le débogage des algorithmes destinés aux traitements. Nous décrivons par la suite, les différents modules de ce dispositif. Une caméra représentant le capteur d'images, est reliée à une carte d'acquisition vidéo intitulée 'IDC'⁷. Les deux précèdent la carte 'DSK'. L'ensemble composé de la caméra, la carte 'DSK', et celle 'IDC' forme le Kit de traitement vidéo et images surnommé 'IDK'⁸. Ce hardware est complété par un Software adéquat permettant de monter rapidement de la conception d'algorithmes à leur implantation sur processeur 'DSP'. La figure **Fig (5.2)** illustre les constituants du kit 'IDK c6000', tel livré de 'TEXAS INSTRUMENTS'.

⁶ : Code Composer Studio

⁷ : Imaging Daughter Card

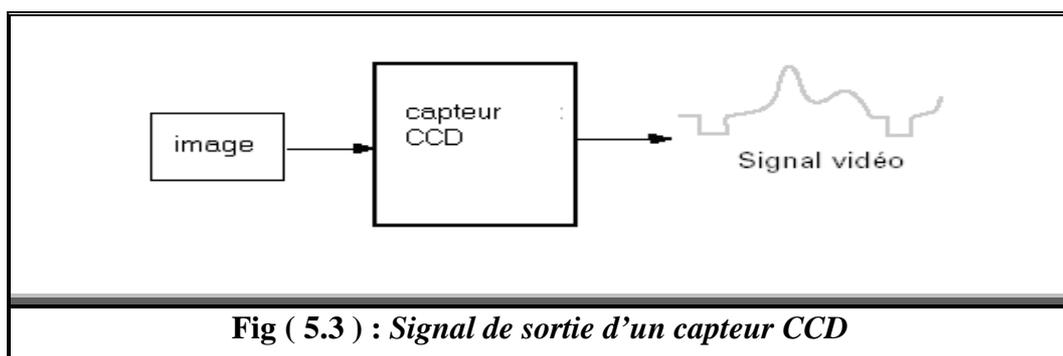
⁸ : Imaging Developer's Kit



5.3 : Le capteur d'images

Le capteur d'images est une caméra de type 'CCD'⁹. C'est le premier élément dans la chaîne d'acquisition d'une image, certes, sans lui pas d'images.

Une caméra 'CCD' possède un élément sensible à la lumière reçue, nommé *capteur 'CCD'*, ou « *dispositif de transfert de charges* ». Ainsi, Ces *capteurs 'CCD'* fournissent un signal vidéo analogique échantillonné représenté ci après, par la **Fig (5.3)**. La tension de sortie est lue et amplifiée par un étage analogique.



⁹ : Charge Coupled Device

Le kit d'images 'IDK' accepte deux types de caméra 'NTSC' ou 'PAL'. chacune est responsable de générer un signal *vidéo composite*, véhiculant l'information à traiter vers la carte 'IDC'.

Un signal vidéo composite est le résultat d'un multiplexage analogique des trois signaux de couleur primaires 'R G B¹²', ainsi que signal de synchronisation [47]. Cependant, ces signaux ne sont pas pris dans leurs états initiaux, mais sous forme de composantes Y représentant la « Luminance » et C donnant le vecteur « Chrominance ». la première est obtenue par une combinaison linéaire des valeurs primaires, selon la formule suivante :

$$Y = 0.299.R + 0.587.G + 0.114.B$$

Tandis que le vecteur Chrominance appelée aussi « *différence de couleurs* », donne les deux composants Cr et Cb, calculés respectivement par :

$$Cr = R - Y \quad \text{et} \quad Cb = B - Y$$

Notons que le langage fréquent, utilise l'expression de « *la Chrominance* » comme s'il s'agissait d'une entité unique. La figure **Fig (5.4)** suivante, présente ces signaux pour la génération d'une mire de barres couleur [46, 47].

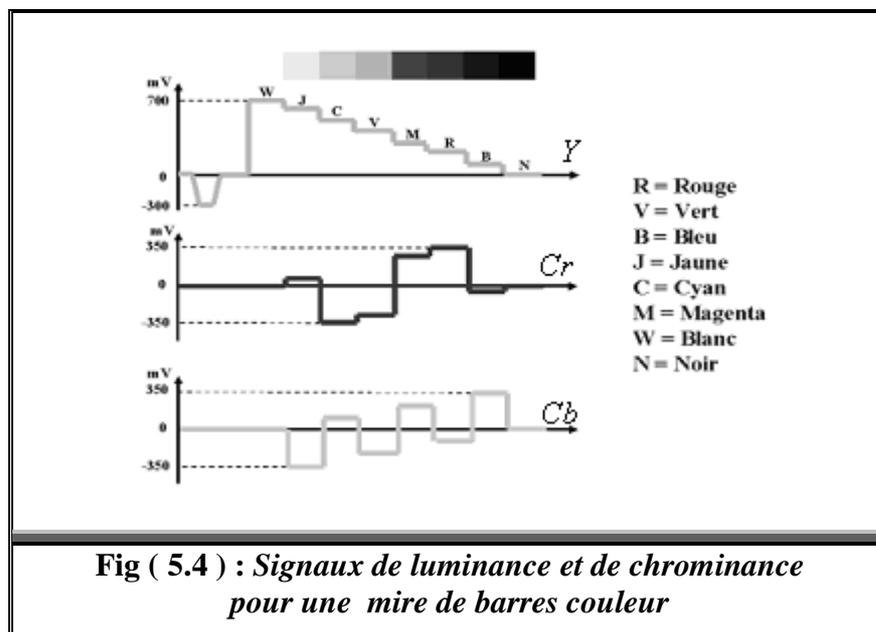


Fig (5.4) : Signaux de luminance et de chrominance pour une mire de barres couleur

Pour la transmission d'images, on est amené à regrouper au sein d'un unique signal, les informations concernant les trois couleurs analysées. La composante Y est transmise avec la synchronisation, pratiquement sans modification. Cependant, le multiplexage de ces composants est réalisé par des procédés multiples, dont nous citons les deux variantes suivantes:

❖ Procédé NTSC

C'est un format américain. Son nom est tiré de l'expression '*National Television Systems Committee*'. Inventé en 1953, historiquement il est le premier procédé apparu. Il est à balayage de 60 fois par seconde, soit 2 demi-images balayées 30 fois, soit 30 images complètes en une (01) seconde). La définition de l'image est de 640 points par 475 lignes utiles (x 25 par seconde). Le système NTSC utilise une base de couleurs 'Y I Q', dérivée de la représentation 'Y Cr Cb', comme suit:

$$I = 0.27.(B - Y) + 0.74.(R - Y)$$

$$Q = -0.41.(B - Y) + 0.48.(R - Y)$$

Ce changement d'axes est introduit dans l'objectif de tenir compte des caractéristiques physiologiques de la vision humaine [47].

❖ Procédé PAL

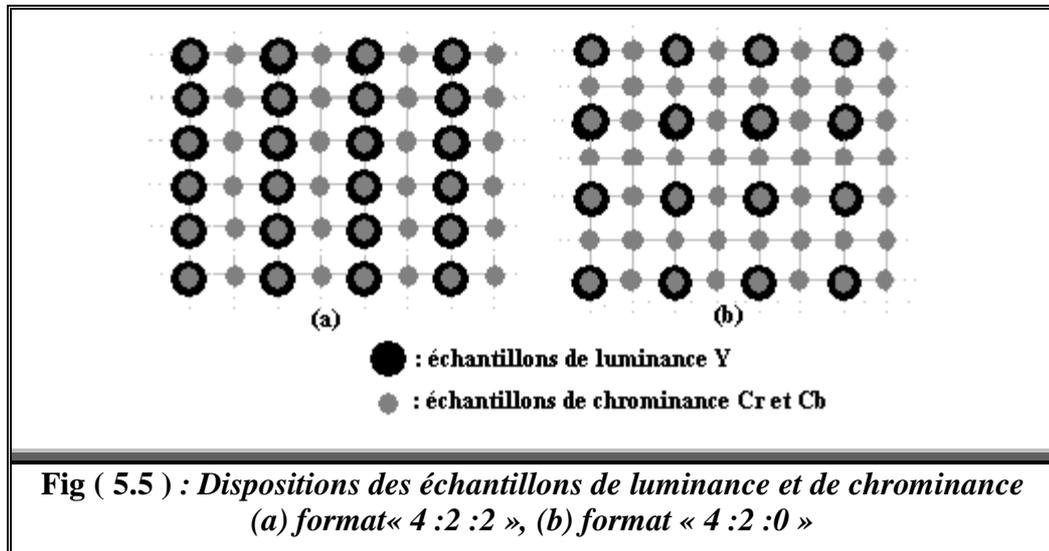
Pour '*Phase Alternate Line*'. C'est un format européen, mis en application en 1962, qui s'est fortement inspiré du modèle américain (NTSC), se profitant ainsi d'une bonne décennie d'expérience opérationnelle. Il est à balayage de 50 fois par seconde, soit 2 demi-images balayées 25 fois, soit 25 images complètes en une (01) seconde.

La définition de l'image est de 720 points par 576 lignes utiles (x 25 par seconde). Ce système utilise une base de couleurs 'Y U V', tirée elle aussi de la représentation 'Y Cr Cb'.

Les signaux image et vidéo numériques se présentent tout différemment. En effet, l'image numérisée est échantillonnée spatialement [47]. Cela veut dire qu'elle est constituée de points séparés dits '*Pixel*¹²', dont la valeur de la lumière est représentée par un chiffre codé sur un certain nombre de bits. L'image numérisée donc, n'est autre qu'un fichier (au sens informatique du mot), où les données sont rangées dans un tableau. Chaque pixel est donné par son rang. La synchronisation dans ce cas, n'est pas demandée. Il est clair que de telles images peuvent être manipulées facilement, puisque n'importe quel traitement est converti en un calcul sur des nombres. Les opérations tel que la rotation, l'extraction de contours, le seuillage, ...etc, sont alors à la base d'effets spéciaux numériques.

La limite basse d'échantillonnage est imposée par le théorème de *Shannon*. De nombreuses possibilités de combinaisons pour la luminance et la chrominance peuvent être choisies. En admettant que les besoins en résolution sont moindres pour la chrominance que pour la luminance, des formats multiples ont été normalisés.

La figure **Fig (5.5)**, donne les dispositions des échantillons de luminance Y et de chrominance (Cr et Cb) dans les formats « 4 :2 :2 » et « 4 :2 :0 ». A titre d'exemple, le format « 4 :2 :2 » en 625 lignes comporte 720 points de luminance sur 576 lignes et 360 points de chrominance sur 288 lignes.



5.4 : La carte d'acquisition vidéo

La carte d'acquisition vidéo représentée par la figure **Fig (5.6)**, appelée aussi « *carte fille* » ou « *Daughter Card* », est destinée pour la capture, l'affichage et le formatage de données [48, 49, 51]. D'une part, elle est constituée d' :

- Un circuit décodeur vidéo *TVP5022*.
- Une palette vidéo représentée par le circuit intégré *TVP3036*.
- Un circuit intégré Xilinx *FPGA 'Field Programable Gate Array'*, qui se charge des deux tâches ; capture et affichage.
- Une mémoire « *SDRAM* » de *16 Mbits* pour la capture.
- Un connecteur reliant la carte « *IDC* » à celle « *DSK* ».
- Un connecteur *RCA* pour l'entrée vidéo composite.
- Un connecteur *15 broches* pour la sortie *RGB* vers le moniteur.

D'autre part, cette carte d'acquisition offre les possibilités suivantes :

- Le signal d'entrée vidéo est limité à un *NTSC* ou *PAL*.
- Le signal doit être de format composite.
- L'affichage est soit en niveau de gris sur *08bits*, ou en *RGB* sur *16bits*.

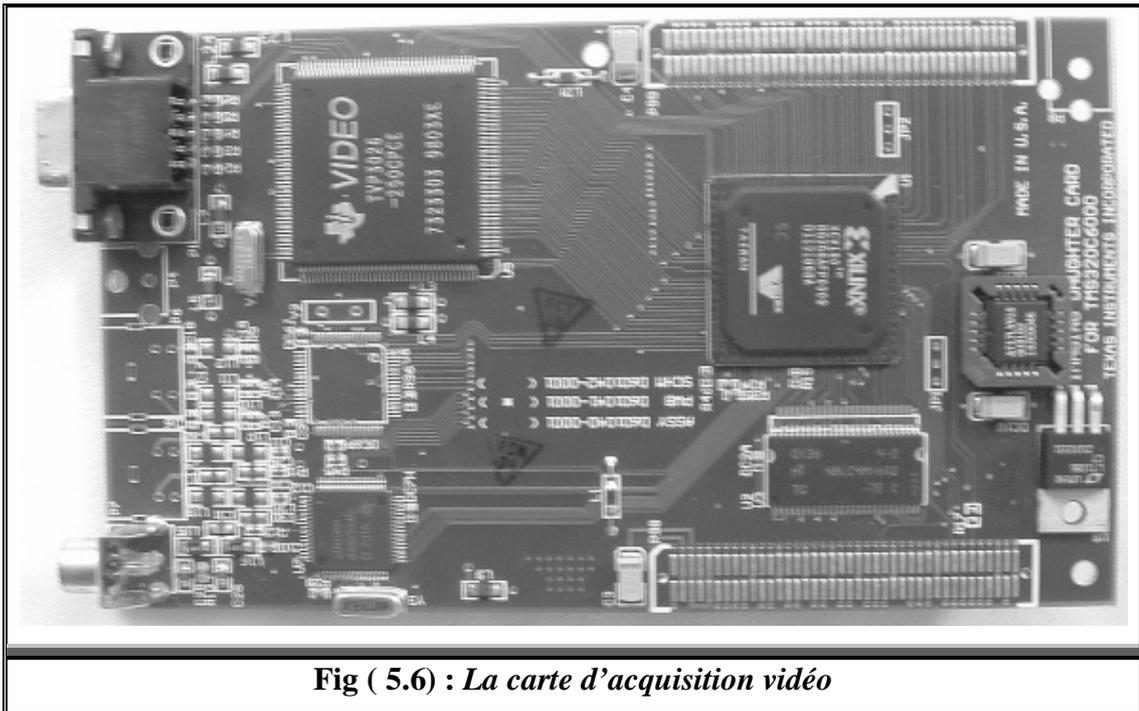


Fig (5.6) : La carte d'acquisition vidéo

5.4.1: Le système de Capture

La figure **Fig(5.7)**, illustre le schéma bloc de la partie assurant la capture des images[49]. L'information issue de la caméra est transmise vers le décodeur *TVP5022*. Ce dernier effectue un échantillonnage du signal vidéo au format « 4 :2 :2 », puis un filtrage passe bas. Le circuit '*FPGA*' se charge par la suite, de la séparation de ce flux digital en trois composantes ; une luminance *Y* et deux chrominances *Cr* et *Cb*. Il loge ces informations dans une zone mémoire appelée '*capture frame buffer*', située sur la carte fille et composée de trois buffers de capture. Chacun est constituée de deux champs séparés '*odd*' et '*even*'. Le décodeur *TVP5022* génère une interruption extérieure '*EXTINT5*' à chaque changement de champs de capture.

Le mode de capture NTSC ou PAL est spécifié par logiciel, via le '*Driver*' de capture. Ce dernier supporte les deux modes suivants:

- NTSC: 640x480, YCbCr 4:2:2, 30 trames/seconde.
- PAL: 768x576, YCbCr 4:2:2, 25 trames/seconde.

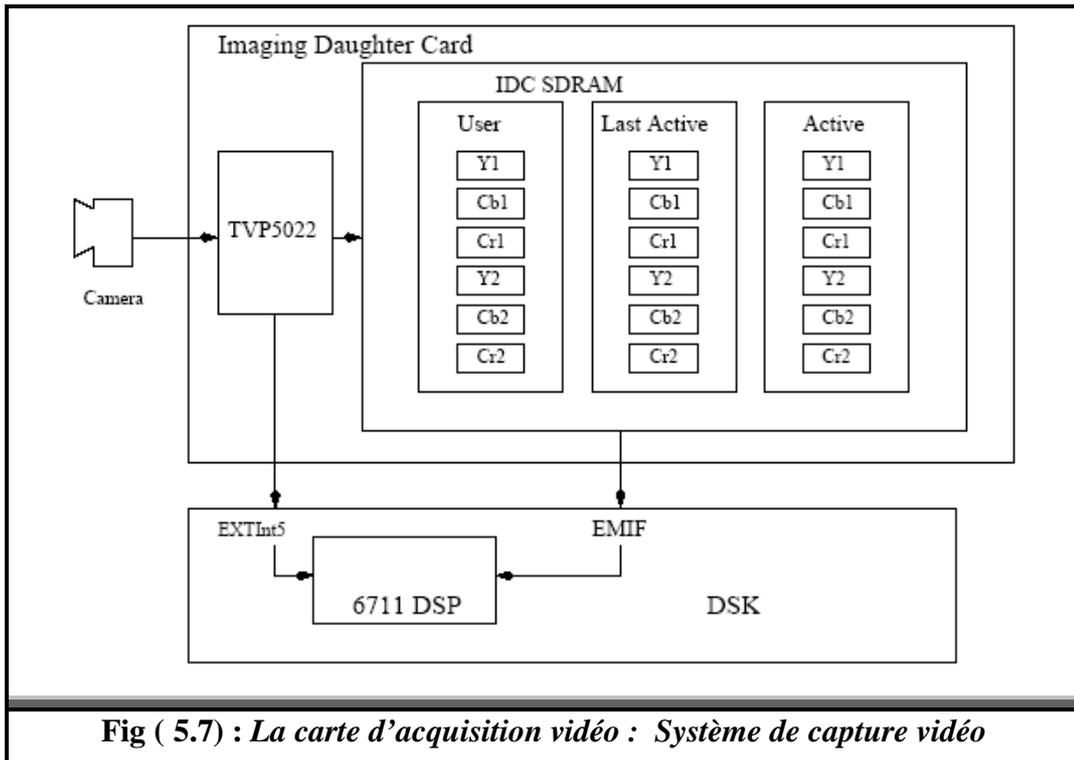


Fig (5.7) : La carte d'acquisition vidéo : Système de capture vidéo

La figure **Fig(5.8)**, illustre l'organisation des trois buffers de capture associé à un format *NTSC*. Le regroupement de ces zones en une image complète est laissé à l'utilisateur.

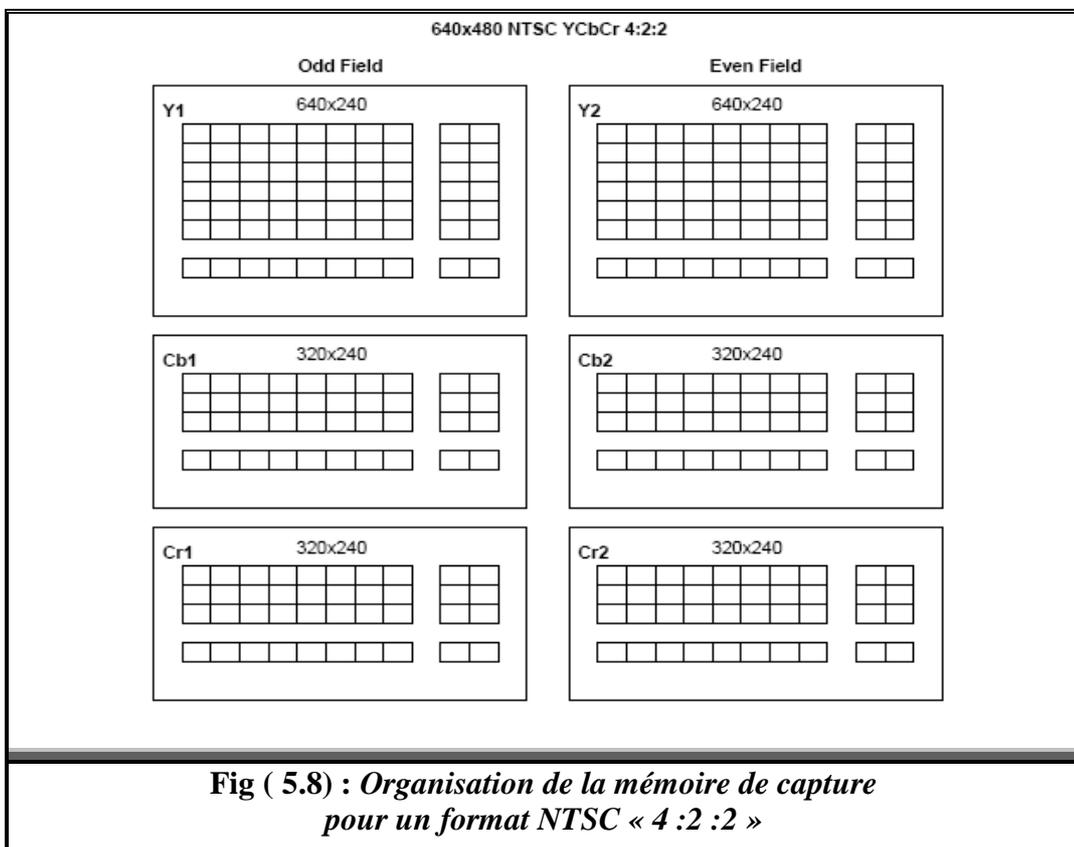


Fig (5.8) : Organisation de la mémoire de capture pour un format NTSC « 4 :2 :2 »

Tous les signaux de synchronisation de l'entrée vidéo sont générés par le *TVP5022*, spécifiquement celui de la synchronisation verticale, qui donne une interruption vers le processeur '*DSP*', marquant la fin d'une trame [48, 49, 51]. La zone mémoire de capture fait partie de l'espace mémoire total adressable par le '*DSP C6711*' et elle est configurée en lecture seule. D'autre part, elle est accessible via l'interface de mémoire externe '*EMIF*', *External Memory Interface*'. Une bufferisation triple est utilisée pour éliminer toute attente du part de l'application. Si celle-ci atteint la fréquence 30 trames/seconde, elle est physiquement en mode circulaire avec le circuit '*FPGA*'. Ce dernier contrôle deux buffers à tout moment. Tandis que l'application possède le troisième. Une application plus rapide que la normale amène à une duplication de trames. Par contre, une perte de trames est signalée avec une autre plus lente.

5.4.2 : Le système de Visualisation

La figure **Fig(5.9)** quant à elle, illustre le schéma bloc de la partie chargée de l'affichage [49]. Le circuit '*FPGA*' génère les signaux de synchronisation pour la sortie. D'une part celui de synchronisation horizontale, est connecté à l'entrée d'interruption extérieure '*EXTINT7*' configurée pour copier une ligne de données du buffer nommé '*Display Buffer*' vers la carte d'acquisition '*IDC*' (*FIFO*). Le circuit *TVP3026* est chargé de transmettre cette ligne vers le moniteur. D'autre part celui de la synchronisation verticale, est utilisé pour marquer la fin d'une trame.

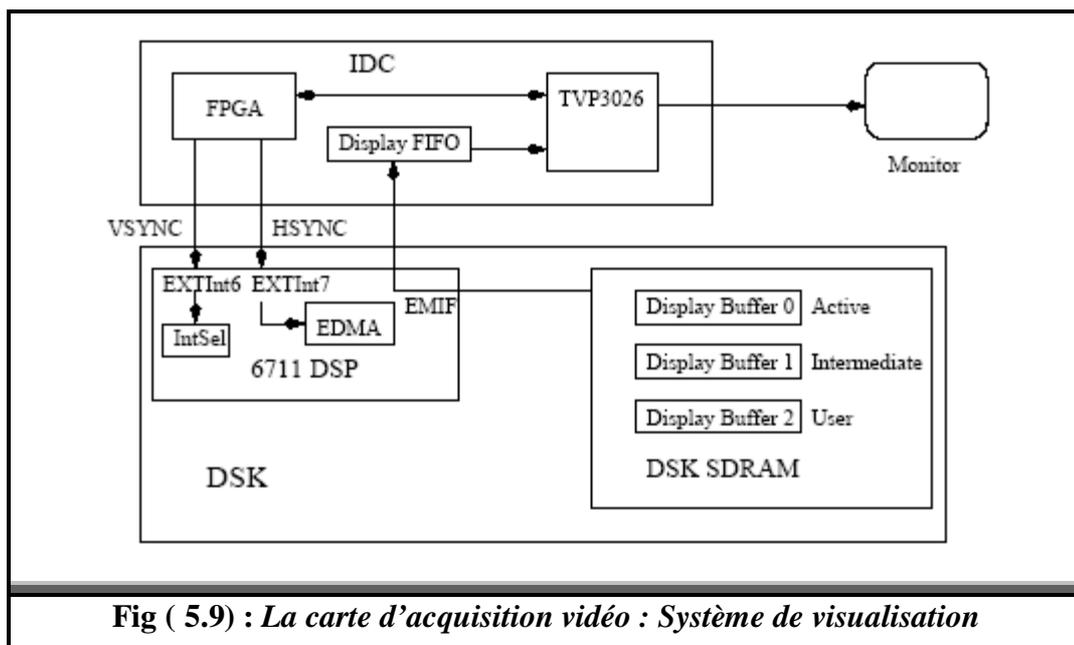


Fig (5.9) : La carte d'acquisition vidéo : Système de visualisation

Une fois encore, une bufferisation triple est assurée pour éviter à l'application des états d'attente. L'organisation de chaque buffer est montrée par la figure **Fig (5.10)**. Seulement ces buffers se trouvent cette fois ci dans la mémoire 'SDRAM ; Synchronous Dynamic Random Access Memory', sur la carte 'DSK'. Les données sont transférées de celle-ci vers la carte fille via le circuit 'EDMA ; Enhanced Direct Memory Access'. Le buffer dit « Actif » est celui en utilisation par ce dernier. Celui dont l'application est propriétaire est nommé « Utilisateur ». Le troisième est « Intermédiaire », et il sera prochainement visité par l'application. Si l'accès est lent, des trames seront affichées plus qu'une fois. Par contre, une application rapide entraîne une perte de trames.

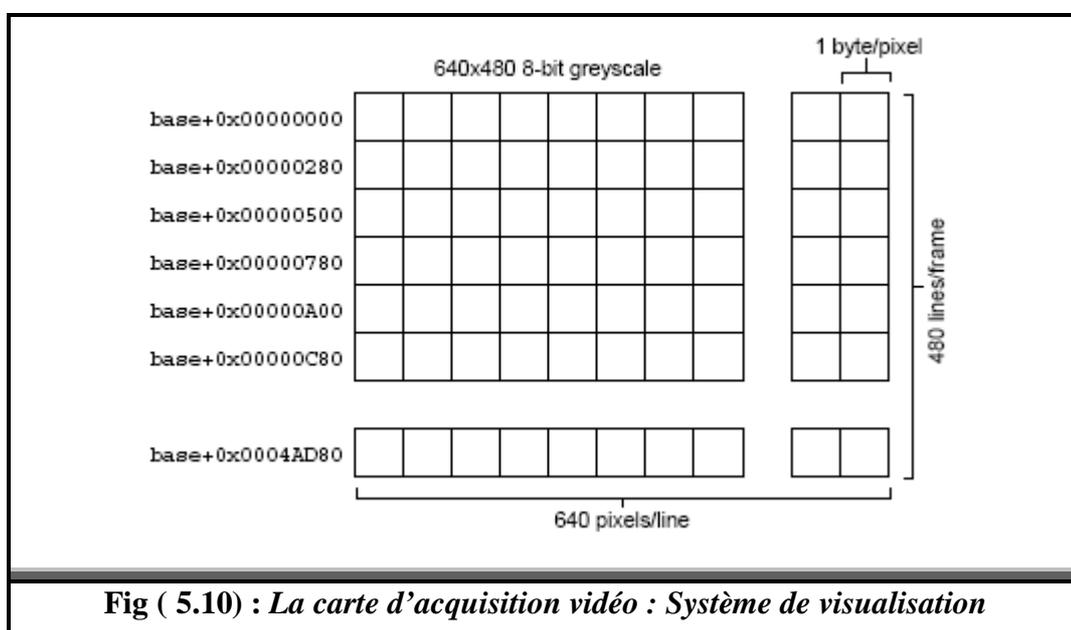


Fig (5.10) : La carte d'acquisition vidéo : Système de visualisation

De même, le mode d'affichage doit être configuré par programmation dans la routine d'initialisation, via le 'Driver' d'affichage. Ce dernier supporte les quatre modes suivants:

- 640X480X8: 640x480, en niveau de gris (08bits/pixel), à une fréquence de 60Hz
- 640X480X16: 640x480, en couleur (16bits/pixel, format565) à une fréquence de 60Hz
- 800X600X8: 640x480, en niveau de gris (08bits/pixel), à une fréquence de 60Hz
- 800X600X16: 640x480, en couleur (16bits/pixel, format565) à une fréquence de 60Hz

5.5 : Le kit de développement 'DSK TMS320C6711'

La carte 'DSK TMS320C6711' est le module chargé de traiter les données et d'assurer les transferts entre les différents éléments de la chaîne, afin de permettre un bon déroulement des programmes et d'applications.

5.5.1 : Description générale

Ce Kit de développement, est une carte mère à base d'un processeur 'DSP'. Il permet d'évaluer et de développer des applications autour du 'DSP TMS320C6711' de 'TEXAS INSTRUMENTS' [41]. Ces constituants principaux sont, :

- Le 'TMS320C6711' : un DSP à virgule flottante.
- Une interface de périphériques parallèle.
- Une mémoire 'SDRAM' et une autre 'ROM'.
- Un circuit d'interface analogique 'AIC' à 16bits.
- Un port d'entrée sortie.
- Un support d'émulation 'JTAG' intégré.

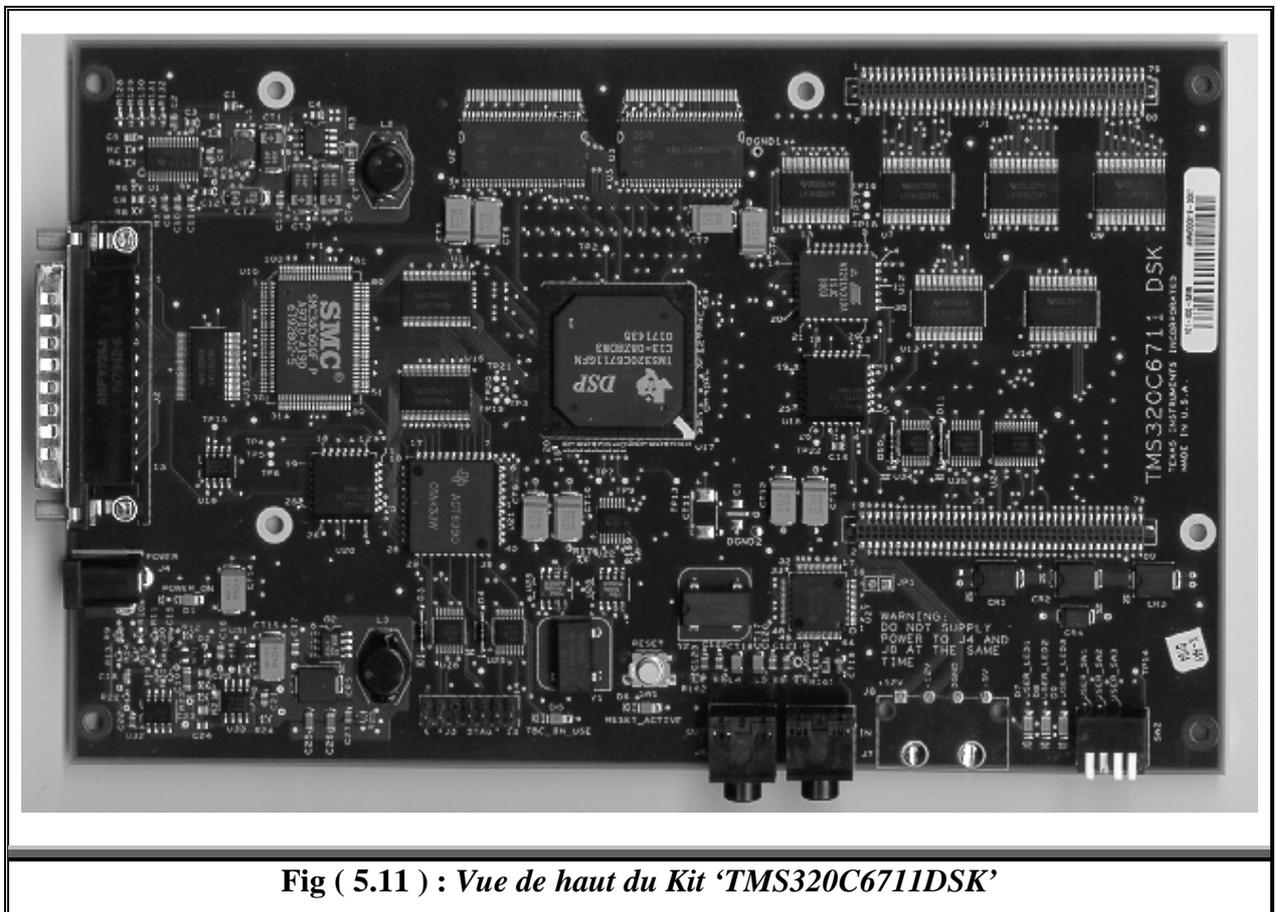


Fig (5.11) : Vue de haut du Kit 'TMS320C6711DSK'

L'intégration de ce module dans une chaîne de traitement, nécessite l'utilisation de certains connecteurs disponibles sur la carte. La totalité de ces derniers est composée de:

- Un connecteur de 25pins (male DB-25, IEEEStandard1284) pour interfaçage parallèle.
- Une entrée d'alimentation.
- Un connecteur de 14pins pour émulation 'JTAG' extérieure.

- o Une entrée audio.
- o Une sortie audio.
- o Une paire de fiches connecteurs de 80pins chacune pour associer la carte fille.

Ce kit 'DSK' est fourni avec un Software constitué d'un compilateur de code 'code composer studio ; CCS', offrant à l'utilisateur un environnement de développement confortable, soit en langage assembleur, soit en langage évolué C, ou même en langage C++.

La figure Fig (5.11) précédente donne une vue de haut de ce kit. Tandis que celle Fig (5.12) ci après, illustre le schéma bloc reliant ces différents composants.

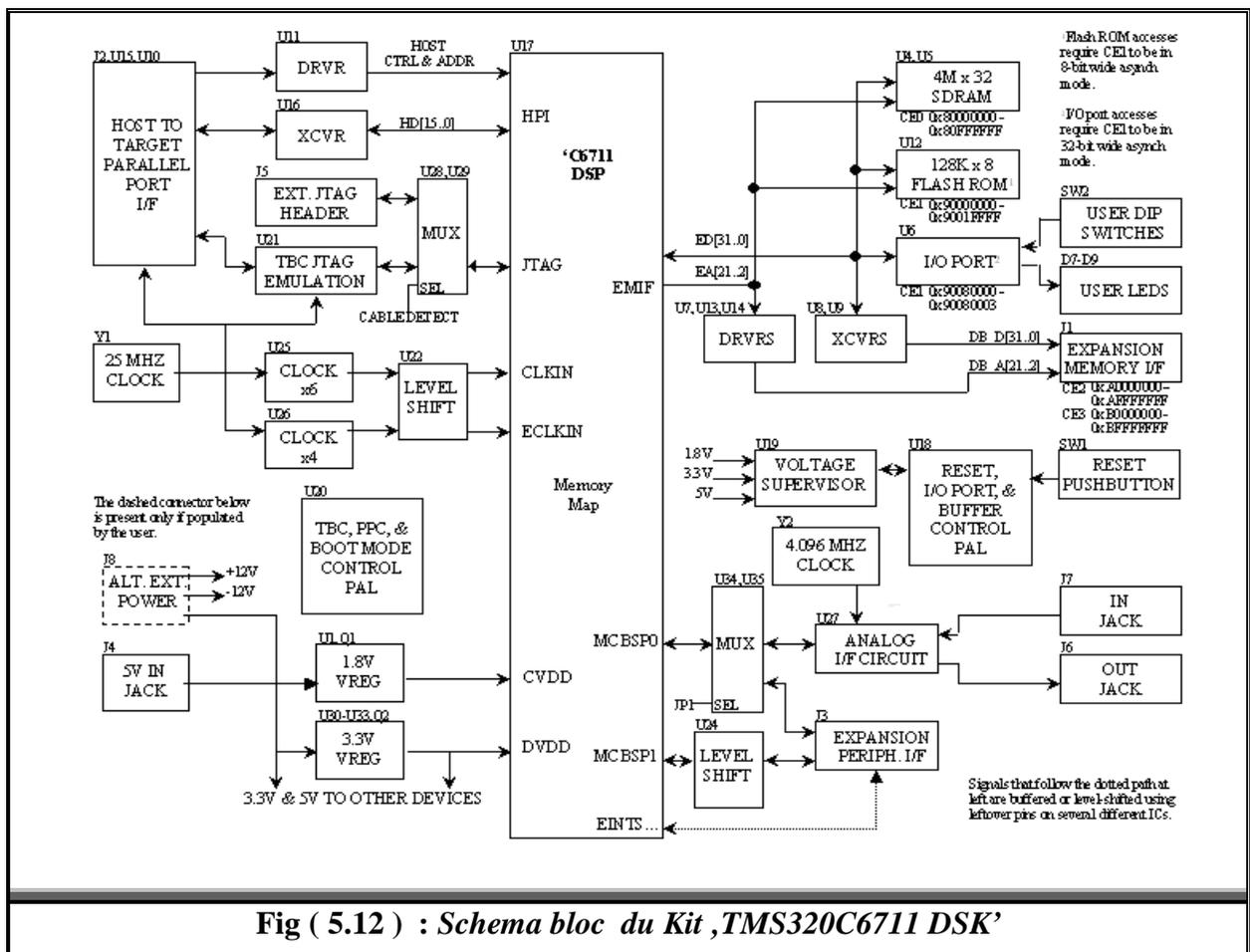


Fig (5.12) : Schéma bloc du Kit ,TMS320C6711 DSK'

5.5.2: Caractéristiques principales du module 'DSK TMS320C6711'

A fin d'assurer des conditions de traitement convenables aux applications d'imagerie, ce kit 'DSK' présente les capacités suivantes

- o Horloge de 150Mhz, capable d'exécuter 900 millions opérations à virgule flottante par seconde 'MFLOPS'.
- o Horloge duale: 'CPU' travaillant à 150MHz et interface mémoire externe 'EMIF' de 100MHz.

- Une mémoire de 16MBytes de type 'SDRAM ; Synchronous Dynamic Random Access Memory' à 100MHz.
- Une mémoire de 128KBytes de type 'ROM: flash programmable and erasable Read Only Memory'.
- Une interface 'HPI: Host Port Interface' pour accéder à toute la mémoire du DSP via le port parallèle.
- Un codeur/décodeur audio 'audio codec' à 16bit.
- Un nombre de Six 'LEDs' indicateurs; d'alimentation et reset cités à titre d'exemple.
- Mémoire d'extension et connecteurs de périphériques pour les cartes filles.

5.5.3 : Le processeur 'DSP TMS320C6711'

Ce processeur fait partie de la génération des DSPs TMS320C67X, à virgule flottante. Sa plate forme est le TMS320C6000. Son architecture est du type 'VLIW' pour 'Very Long Instruction Word'. Cette caractéristique (mot d'instruction très long), lui offre une performance élevée surtout de point de vue vitesse, et faisant de ce DSP un excellent choix surtout pour les applications multi-canaux 'multi-canals', et /ou multi-fonctions.

Opérant avec une fréquence de 150Mhz, le 'C6711' peut exécuter jusqu'à 900 millions d'instructions à virgule flottante par seconde 'MFLOPS'. A l'aide d'une paire de multiplieurs à virgule flottante ou fixe, il pourrait faire jusqu'à 300 millions de multiplication-accumulation par seconde 'MMACS ; Million MACs per Second'.

Le 'DSPC6711' contient une mémoire interne avec une architecture à deux niveaux 'L1' et 'L2'. Le premier niveau est divisé en deux parties séparées :

- ✓ 'L1P' : mémoire cache de programmes de 04Kbits.
- ✓ 'L1D' : mémoire cache de données de 04Kbits.

Par contre le deuxième, peut être configurée en partie autant que mémoire cache ou SRAM (données et le programme).

La figure **Fig (5.13)**, donne le schéma fonctionnel du 'CPUC6711', montrant ses différents constituants intégrés [40].

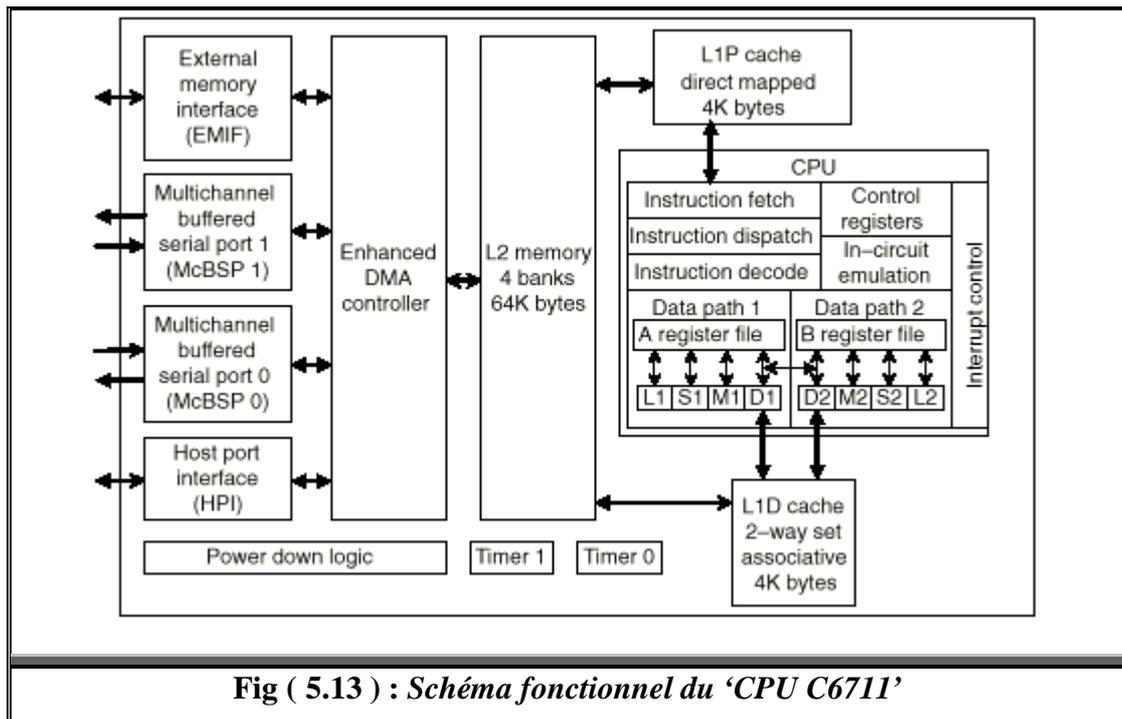


Fig (5.13) : Schéma fonctionnel du 'CPU C6711'

5.6 : Outils de développement Software du kit 'IDK'

Un ensemble complet d'outils *Software* accompagne le kit de développement d'images 'IDK'. Il inclus un interface compositeur de code 'Code Composer Studio CCS'. Celui-ci offre des utilitaires divers:

- Un compilateur C/C++ optimisé.
- Un assembleur.
- Un éditeur de liens.
- Et un simulateur à base des familles C6000, C5000 et C2000.

Une application sous CCS peut donc, être développée en langage C, ou C++, [41, 43] ou en assembleur.

Les phases d'un développement typique d'une application, sont présentées sur l'organigramme de la figure, **Fig (5.14)**.

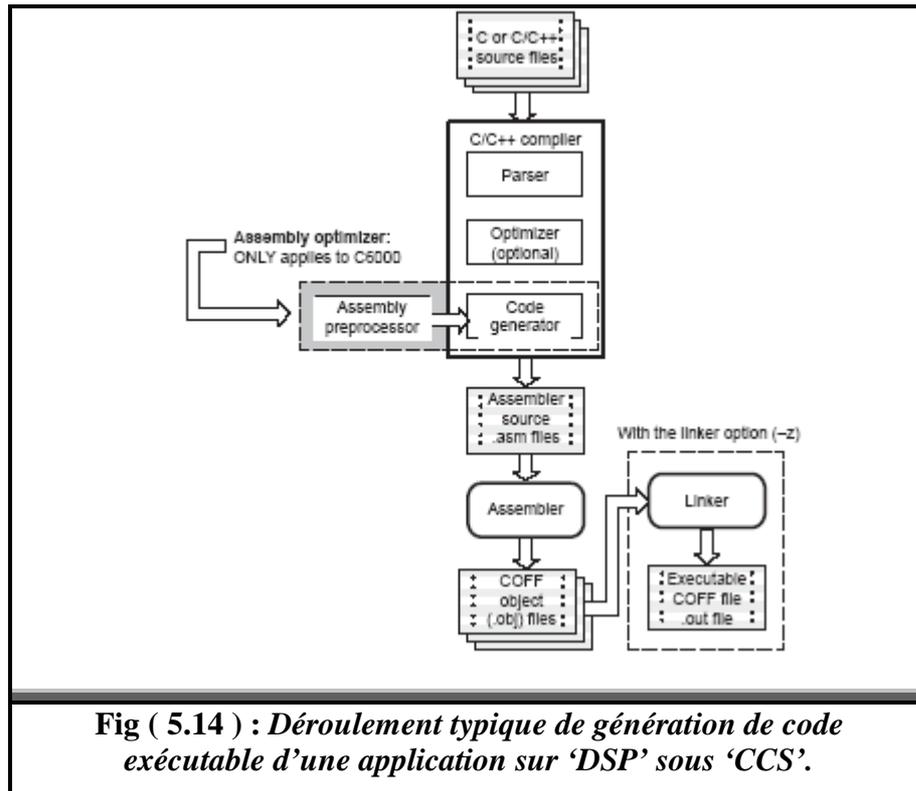


Fig (5.14) : Déroulement typique de génération de code exécutable d'une application sur 'DSP' sous 'CCS'.

Les *DSPs* de 'TEXAS INSTRUMENTS' comporte un support d'émulation intégré permettant au 'CCS' de contrôler l'exécution des programmes en temps réel. Cette émulation intégrée fournit des différentes possibilités hardware tel que :

- Démarrage, arrêt et remise à zéro du *DSP*.
- Chargement des codes depuis ou vers le *DSP*.
- Consultation des registres ou de la mémoire du *DSP*.
- Chargement de données en temps réel 'RTDX' entre le moniteur et le *DSP*.

Le traitement et l'analyse en temps réel sont garantis par deux outils puissantes de l'interface 'CCS', simplifiant le développement et le débogage des programmes:

- ✓ 'RTDX' ; 'Real Time Data eXchange' : permet à l'utilisateur du système de transférer les données entre le micro-ordinateur et le dispositif '*DSP*' sans arrêt de l'application en cours d'exécution sur le processeur *DSP* [43].
- ✓ Le noyau '*DSP/BIOS*' : ensemble d'instrumentations permettant d'assurer une communication synchrone entre le micro-ordinateur et le processeur '*DSP*', offrant une abstraction totale du hardware et un analyse en temps réel [43].

Derrière cette interface utilisateur, la carte '*IDK*' offre un Software typique sous forme de modules regroupant chacun un ensemble de routines appelée '*Paquet*' [48]. Parmi ceux, on cite:

- '*ImageLIB*' : un ensemble de fonctions bibliothèques destinées aux traitements vidéo et image. Ceux sont des routines dites '*Ready to use*', optimisées, écrites en assembleur et à usage général. Leur utilisation diminue considérablement le temps de développement et de calcul.
- '*Chip Support Library CSL*' : un ensemble d'interfaces d'application programmables '*API*', utilisés pour configurer et contrôler les périphériques du '*DSP*'. Le but de cet utilitaire est de simplifier l'usage des derniers, avoir un code portable et en fin offrir une abstraction du hardware. Il est donc possible de développer une application sans avoir physiquement l'accès aux registres, et donc une programmation simple, rapide et avec peu d'erreurs. Par la suite, ce code est exécutable sur tous les *DSPs* de la famille *C6000*.
- '*Image Data Manager IDM*' : Cet ensemble de fonctions donne une abstraction des demandes '*DMA ; Direct Memory Access*' et permette le transfert des données en parallèle avec le traitement (en arrière plan). Il se charge de la mise à jours des pointeurs ainsi que le management des buffers. En fin, il utilise les appels '*CSL*', pour assurer le transfert de données entre la mémoire interne et externe durant le traitement.

Ainsi l'implantation d'un algorithme sur le kit '*IDK*' est réalisé comme suit :

Le code source est écrit en langage *C* sur le *PC*, en exploitant les utilitaires de l'interface *CCS*. Puis, il est compilé, assemblé et lié, donnant un fichier de format objet '*COFF*¹⁰'. Celui-ci est chargé sur la carte '*DSK*' à travers le port parallèle. Initialisé depuis le *PC*, l'exécution du programme sur ce kit devient autonome. Ainsi, la carte '*DSK*' reçoit via la carte fille, les images capturées par la caméra. Elle effectue le traitement nécessaire sur ces données. En traversant la carte '*IDC*' pour la seconde fois, les résultats seront finalement affichés sur le moniteur.

¹⁰: Common Object File Format

Nous terminons par un dernier et important point, concernant les conditions minimums du système pour accepter le kit de développement d'images 'IDK'. Le PC doit donc, avoir les propriétés ci après :

- ✓ Etre un Pentium de 233MHz (*Pentium II* de 500MHz ou plus est recommandé).
- ✓ Avoir une mémoire de 64Mbytes de RAM (128Mbytes est recommandé).
- ✓ Avoir un port parallèle à transfert bidirectionnel (*EPP* est recommandé).
- ✓ Utilisant comme système d'exploitation *Windows98, 2000* ou *NT4.0*.
- ✓ Avoir un deuxième moniteur VGA (SVGA est recommandé).

5.7 : Conclusion

Dans ce chapitre nous avons présenté la chaîne représentant le dispositif expérimental mis en œuvre et ces différents modules :

- Le capteur : Caméra 'CCD'.
- La carte fille 'IDC'
- La carte 'DSK TMS320C6711'.

D'une part, l'étude de cette chaîne de traitement, constituée essentiellement par le kit 'TMS6000 IDK', ainsi que la découverte des qualités nombreuses de ce dernier, ont montré l'adéquation parfaite de ce dispositif pour le traitement d'images et de la vidéo. D'autre part vu ses capacités d'exécution élevées, l'architecture en microcontrôleur de son processeur 'DSPC6711' et les possibilités efficaces offertes par sa carte vidéo, il est facile d'atteindre des implantations en temps réel.

En fin, les outils Software en association avec ce kit, et l'utilisation des langages évolués, permettent et aident considérablement à développer des applications avec simplicité et efficacité.