

Chapitre 1

Principales architectures de la cellule de transconductance CMOS

1.1 INTRODUCTION

Les cellules de transconductance G_m sont des cellules qui effectuent une conversion de la tension d'entrée en un courant à la sortie. Elles peuvent être modélisées par une source de courant dépendant de la tension. Une cellule G_m idéale est une source de courant avec une impédance de sortie infinie. L'objectif de G_m est un paramètre important dans les applications nécessitant par exemple les filtres, qui est indépendante du process et de la variation de la température. Nous examinerons dans ce chapitre quelques architectures de la cellule de transconductance CMOS et les techniques associées pour améliorer la linéarité, basée sur les caractéristiques des transistors MOS.

1.2 LE TRANSISTOR MOS

Plusieurs approches pour réaliser des transconductances linéaires en technologie CMOS ont été proposées. Quelques unes de ces approches emploient le transistor CMOS opérant dans la région de saturation, où l'expression du courant drain-source est donnée par la formule suivante:

$$I_{DS} = \beta (V_{GS} - V_T)^2 \quad \text{Pour } V_{GS} > V_T \text{ et } V_{DS} > V_{DS,sat} \quad (1.1a)$$

$$\text{Avec } \beta = \frac{K_p}{2} \left(\frac{W}{L} \right).$$

D'autres approches utilisent le transistor MOS opérant dans la région ohmique dont le courant drain-source est donné par l'équation suivante:

$$I_{DS} = 2\beta \left(V_{GS} - V_T - \frac{V_{DS}}{2} \right) V_{DS} \quad \text{Pour } V_{GS} > V_T \quad \text{et } V_{DS} < V_{DS,sat} \quad (1.1b)$$

Dans ce cas la résistance du transistor MOS opérant dans la région ohmique est donnée par:

$$R = \frac{\partial V_{DS}}{\partial I_{DS}} = \frac{1}{2\beta(V_{GS} - V_T)} \quad (1.1c)$$

1.3 CELLULE DIFFÉRENTIELLE SIMPLE

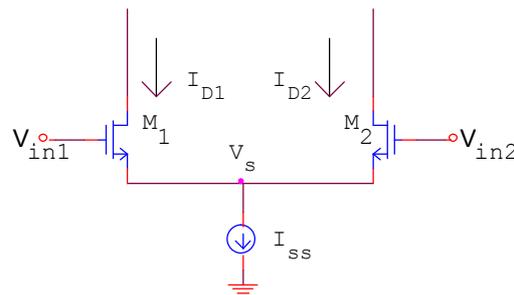


Figure 1.1 : Cellule différentielle à base du CMOS.

La première classe des cellules différentielles est réalisée par la paire des transistors MOS M_1 et M_2 du type N représentée par la figure 1.1 [1]. Cette paire de sources couplées est polarisée par une source de courant I_{SS} . Les deux tensions d'entrées V_{in1} et V_{in2} peuvent être appliquées sur les grilles de M_1 et M_2 , où les transistors M_1 et M_2 ont la même caractéristique. Le rôle de cette cellule est de convertir la tension d'entrée V_{in} en un courant I_{D1} et I_{D2} donné par les équations (1.2a) et (1.2b) dans la région de saturation des transistors de la figure 1.1.

$$I_{D1} = \beta \cdot (V_{in1} - V_S - V_T)^2 \quad (1.2a)$$

$$I_{D2} = \beta \cdot (V_{in2} - V_S - V_T)^2 \quad (1.2b)$$

En combinant (1.2a) et (1.2b), on trouve :

$$V_{in1} - V_{in2} = \sqrt{\frac{I_{D1}}{\beta}} - \sqrt{\frac{I_{D2}}{\beta}} \quad (1.3)$$

La somme des courants sur le nœud des sources des deux transistors est donnée par la formule suivante :

$$I_{D1} + I_{D2} = I_{SS} \quad (1.4)$$

En combinant les équations (1.3) et (1.4), on obtient l'expression des courants drain des deux transistors, où $\Delta V = V_{in1} - V_{in2}$:

$$I_{D1} = \frac{I_{SS}}{2} + \beta \Delta V \sqrt{\frac{I_{SS}}{2\beta} - \left(\frac{\Delta V}{2}\right)^2} \quad (1.5a)$$

$$I_{D2} = \frac{I_{SS}}{2} - \beta \Delta V \sqrt{\frac{I_{SS}}{2\beta} - \left(\frac{\Delta V}{2}\right)^2} \quad (1.5b)$$

Les courants de sortie sont donnés pour $|\Delta V| < \sqrt{\frac{I_{SS}}{\beta}}$, c'est la région des saturations des transistors M_1 et M_2 . D'après les équations (1.5a) et (1.5b), on trouve les régions de saturations et de blocage de chaque transistor.

$$\begin{cases} V_{in1} > V_{in2} \\ \Delta V \geq \sqrt{\frac{I_{SS}}{\beta}} \end{cases} \Rightarrow \begin{array}{l} \text{le transistor } M_1 \text{ est saturé, et le transistor} \\ M_2 \text{ est bloqué alors on a : } I_{D1} = I_{SS} \end{array}$$

$$\begin{cases} V_{in_2} > V_{in_1} \\ \Delta V \leq -\sqrt{\frac{I_{SS}}{\beta}} \end{cases} \Rightarrow \begin{array}{l} \text{le transistor } M_2 \text{ est saturé, et le transistor} \\ M_1 \text{ est bloqué alors on a : } I_{D2} = I_{SS} \end{array}$$

La figure 1.2 explique ces équations pour les courants de sortie en fonction de la tension d'entrée [2]. Ces courants de sortie sont limités par le courant de contrôle de la cellule différentielle I_{SS} .

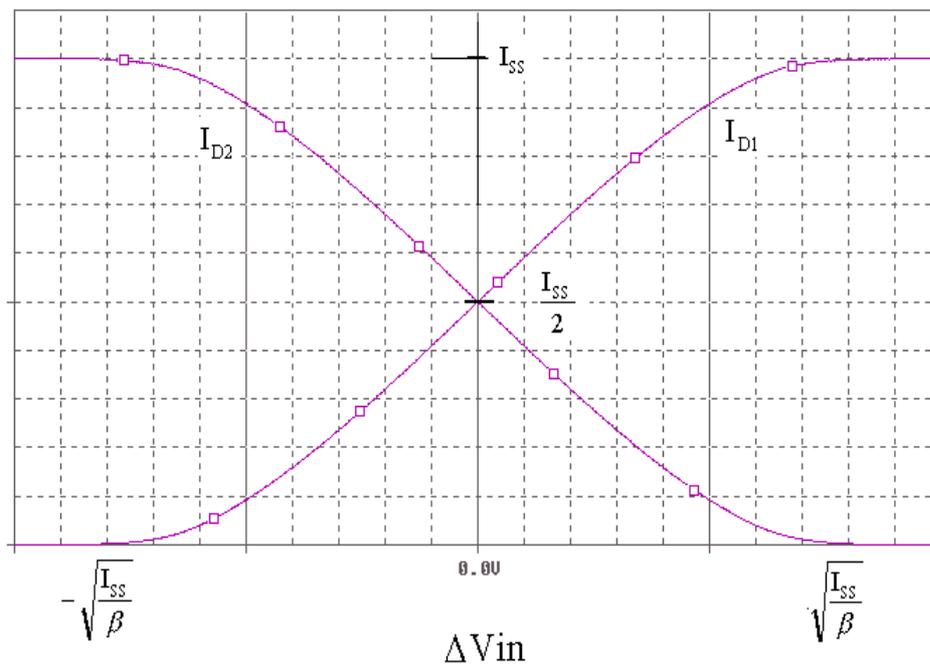


Figure 1.2 : Les courants drain de sortie de la paire de sources couplées en fonction de la tension d'entrée ΔV .

Le courant de sortie est donné par la différence des courants drain tel que:

$$I_o = I_{D1} - I_{D2} = \begin{cases} \Delta V \sqrt{2I_{SS}\beta} \sqrt{1 - \frac{\beta}{2I_{SS}} \Delta V^2} & \text{pour } |\Delta V| \leq \sqrt{\frac{I_{SS}}{\beta}} \\ I_{SS} \text{ sign}(\Delta V) & \text{pour } |\Delta V| > \sqrt{\frac{I_{SS}}{\beta}} \end{cases} \quad (1.6)$$

Cette équation est représentée par la figure (1.3) où la plage de tension d'entrée est limitée par $\sqrt{\frac{I_{SS}}{\beta}}$.

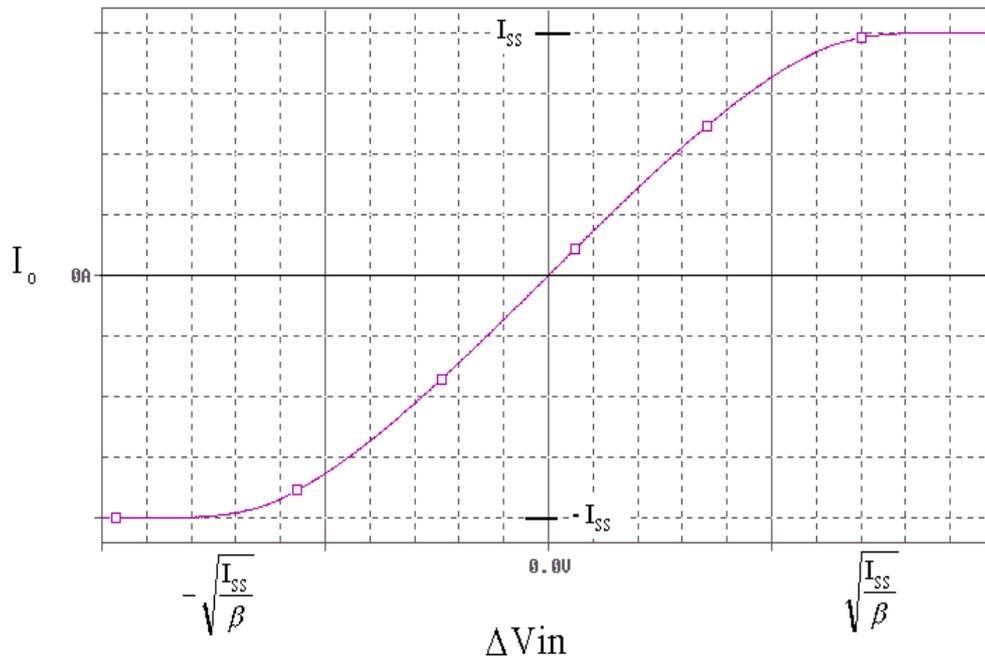


Figure 1.3 : La différence entre les courants de sortie de la paire de sources couplées en fonction de la variation de la tension d'entrée ΔV .

1.3.1 La transconductance en DC

La transconductance de la cellule différentielle simple est donnée par la dérivation de la différence des courants de sortie des drains des transistors M_1 et M_2 par rapport à la tension d'entrée, on obtient l'équation (1.7):

$$G_{m_{DC}} = \frac{\partial(I_{D1} - I_{D2})}{\partial \Delta V} = \frac{\sqrt{2I_{SS}\beta} \left[1 - \frac{\beta}{I_{SS}} \Delta V^2 \right]}{\sqrt{1 - \frac{\beta}{2I_{SS}} \Delta V^2}} \quad (1.7)$$

1.3.2 La transconductance en AC

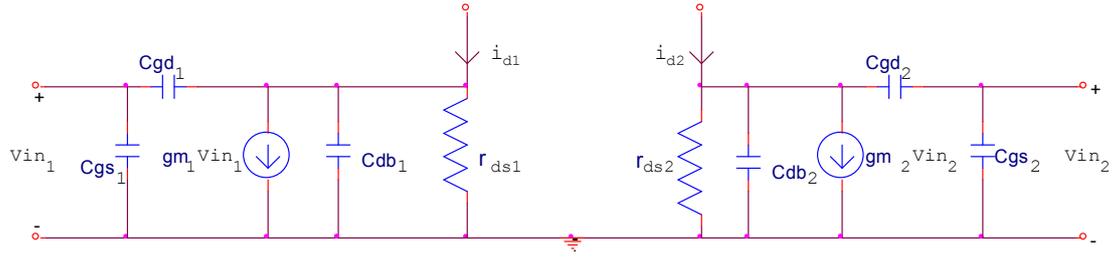


Figure 1.4 : Le modèle petit signal équivalent d'une cellule différentielle simple.

Pour avoir une comparaison entre la transconductance en mode DC avec la transconductance en mode AC [3], on remplace les transistors MOS M_1 et M_2 de la figure 1.1 par leur modèle équivalent en petit signal comme donné sur la figure 1.4. Pour une entrée en mode différentiel $V_{in1} = -V_{in2} = \frac{\Delta V}{2}$ [3,4], on obtient les transconductances pour chaque transistor MOS :

$$gm_1 = \frac{\partial I_{D1}}{\partial V_{GS1}} = 2 \frac{\partial I_{D1}}{\partial \Delta V} = \frac{\sqrt{2I_{SS}\beta} \left[1 - \frac{\beta}{I_{SS}} \Delta V^2 \right]}{\sqrt{1 - \frac{\beta}{2I_{SS}} \Delta V^2}} \quad (1.8a)$$

$$gm_2 = \frac{\partial I_{D2}}{\partial V_{GS2}} = -2 \frac{\partial I_{D2}}{\partial \Delta V} = \frac{\sqrt{2I_{SS}\beta} \left[1 - \frac{\beta}{I_{SS}} \Delta V^2 \right]}{\sqrt{1 - \frac{\beta}{2I_{SS}} \Delta V^2}} \quad (1.8b)$$

On a une même valeur de transconductance ($gm_1=gm_2$) qui est la transconductance en mode DC, soit dans la demi-cellule de la figure 1.4 on trouve :

$$i_{d1} = \frac{g_{m1} \left(1 - \frac{C_{GD1}}{g_{m1}} s \right)}{1 + r_{ds1} C_{DS1} s} V_{in1} \quad (1.8c)$$

Pour la résistance drain-source dans la paire de sources couplées et infinie, on trouve la relation entre la différence des courants de sortie des drains et la tension d'entrée :

$$i_o(s) = i_{d1}(s) - i_{d2}(s) = g_{m1} V_{in1}(s) - g_{m2} V_{in2}(s) \quad (1.9)$$

à partir de l'équation (1.8) et (1.9) on trouve:

$$i_o(s) = G_{m_{DC}} \Delta V(s) \quad (1.10)$$

On remarque que la transconductance en AC c'est la même en DC, lorsque on élimine l'effet interne (la résistance drain-source et les capacités des transistors MOS).

1.4 LA LINEARITE DE LA DOUBLE PAIRE DIFFERENTIELLE CROISÉE

Une augmentation substantielle dans la linéarité peut être obtenue en croisant deux paires différentielles selon la figure 1.5 [1]. Les dimensions des transistors MOS $M_{1,2}$ et $M_{3,4}$ sont respectivement $(W/L)_1$ et $(W/L)_2$. Le but de cette configuration est de faire varier le courant du drain de chaque branche de M_1 et M_2 de la cellule simple par l'utilisation d'une deuxième cellule M_3 et M_4 avec un courant de polarisation I_{SS2} (figure 1.5). Cette configuration exige des conditions sur les dimensions des transistors MOS, et sur les valeurs des courants de polarisation, pour l'annulation approximative des non linéarités.

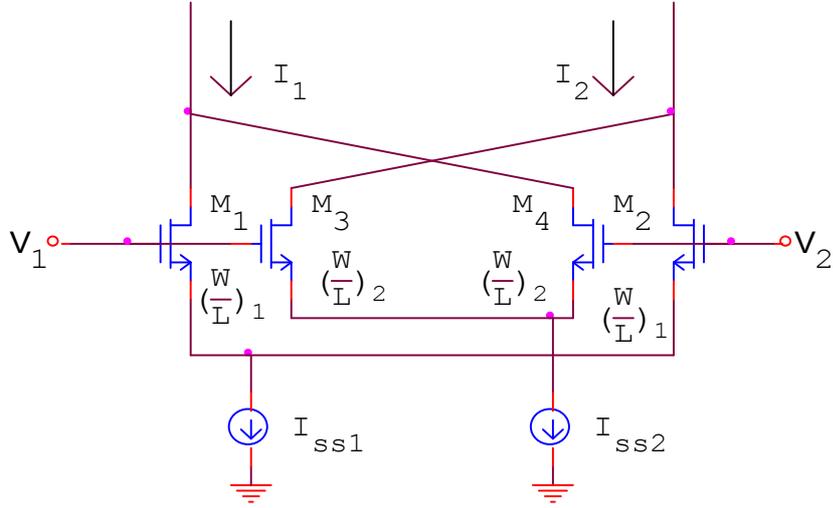


Figure 1.5: Double paire Différentielle croisée.

A partir de l'équation (1.6) en qualifiant cette architecture pour $I_{SS1} > I_{SS2}$, alors on trouve la relation (1.11b) de la différence entre les courants I_1 et I_2 de sortie de chaque branche du circuit comme montré sur la figure 1.5.

$$I_O = I_1 - I_2 = (I_{D1} - I_{D2}) - (I_{D3} - I_{D4}) \quad (1.11a)$$

$$I_O = \begin{cases} \left(\sqrt{2I_{SS1}\beta_1} \sqrt{1 - \frac{\beta_1}{2I_{SS1}}(\Delta V)^2} - \sqrt{2I_{SS2}\beta_2} \sqrt{1 - \frac{\beta_2}{2I_{SS2}}(\Delta V)^2} \right) \Delta V & \text{pour } |\Delta V| \leq \sqrt{\frac{I_{SS2}}{\beta_2}} \\ \sqrt{2I_{SS1}\beta_1} \sqrt{1 - \frac{\beta_1}{2I_{SS1}}(\Delta V)^2} - I_{SS2} \text{sign}(\Delta V) & \text{pour } \sqrt{\frac{I_{SS2}}{\beta_2}} \leq |\Delta V| \leq \sqrt{\frac{I_{SS1}}{\beta_1}} \\ (I_{SS1} - I_{SS2}) \text{sign}(\Delta V) & \text{pour } |\Delta V| \geq \sqrt{\frac{I_{SS1}}{\beta_1}} \end{cases} \quad (1.11b)$$

Sur le graphe de la figure 1.6 sont montrées les trois régions qui représentent les trois formules (1.11b) sur l'intervalle de saturation et le blocage des transistors. La région (a) c'est la région de saturation de tous les transistors, la région (b) c'est la région de saturation de M_1 et M_2 . Dans cette région, la deuxième cellule est donnée seulement le courant de polarisation I_{SS2} à partir du fonctionnement de l'un des deux transistors de la paire correspondante, et la région (c) c'est la région du fonctionnement de l'un des deux transistors sur chaque cellule qui donne une différence entre les courants de polarisation $I_{SS1}-I_{SS2}$:

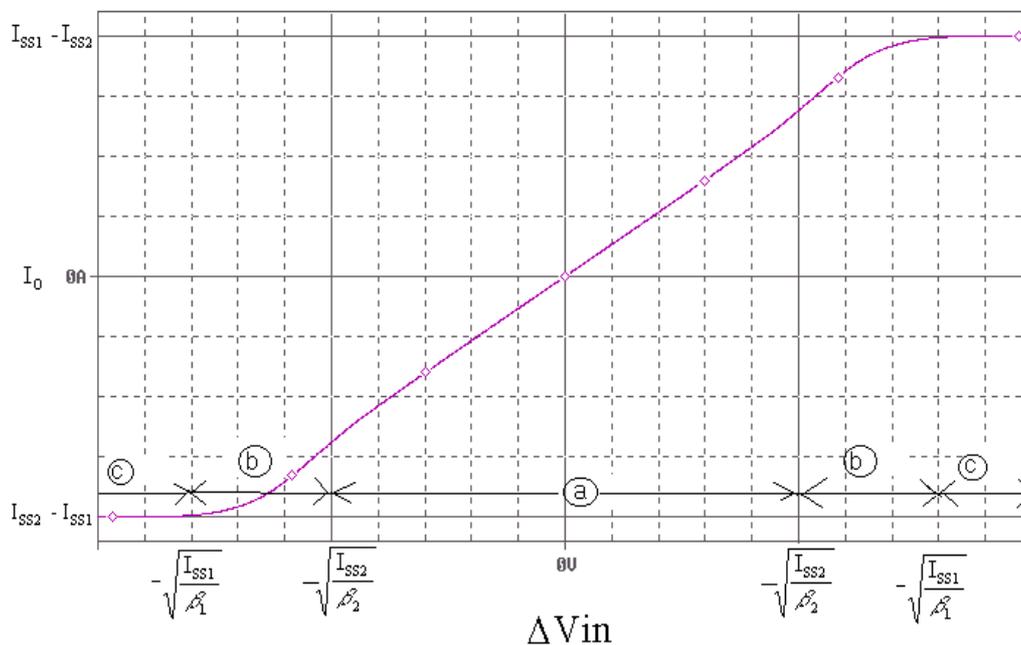


Figure 1.6 : Le courant de sortie en fonction de la tension d'entrée de la double paire différentielle croisée.

Donc l'étude de la linéarité donnée dans la région de saturation de tous les transistors exige une condition sur leur dimension. L'augmentation de la linéarité est donnée à partir du premier harmonique a_1 du développement en série, du courant de sortie I_O , selon l'équation suivante :

$$I_O = a_1 \times \Delta V + a_2 \times \Delta V^2 + a_3 \times \Delta V^3 + .. \quad (1.12a)$$

$$\text{où } \begin{cases} a_1 = \sqrt{2I_{SS1}\beta_1} - \sqrt{2I_{SS2}\beta_2} \\ a_2 = 0 \\ a_3 = \frac{1}{2\sqrt{2}} \times \left(\frac{\beta_1^{3/2}}{\sqrt{I_{SS1}}} - \frac{\beta_2^{3/2}}{\sqrt{I_{SS2}}} \right) \end{cases} \quad (1.12b)$$

Pour avoir une bonne linéarité, on néglige la troisième harmonique a_3 , on obtient une nouvelle condition pour une faible tension d'entrée, sur les dimensions des transistors MOS et les courants de polarisation selon l'équation (1.13).

$$\left[\frac{\left(\frac{W}{L}\right)_1}{\left(\frac{W}{L}\right)_2} \right]^{3/2} = \left[\frac{I_{SS1}}{I_{SS2}} \right]^{1/2} \quad (1.13)$$

Pour $(W/L)_1 \neq (W/L)_2$ et $I_{SS1} \neq I_{SS2}$ cela rend le coefficient du terme linéaire a_1 différent de zéro, en appliquant l'équation (1.13) dans (1.12) on obtient :

$$I_O = \left(\sqrt{2I_{SS1}\beta_{1,2}} - \sqrt{2I_{SS2}\beta_{3,4}} \right) \Delta V \quad (1.14)$$

Les termes non linéaires s'annulent, de cela on déduit la transconductance générale qui est la différence des transconductances de chaque cellule, qui est donnée par la relation suivante :

$$Gm = Gm_1 - Gm_2 = \sqrt{2I_{SS1}\beta_{1,2}} - \sqrt{2I_{SS2}\beta_{3,4}} \quad (1.15)$$

La transconductance en fonction de la tension d'entrée est représentée par la figure 1.7.

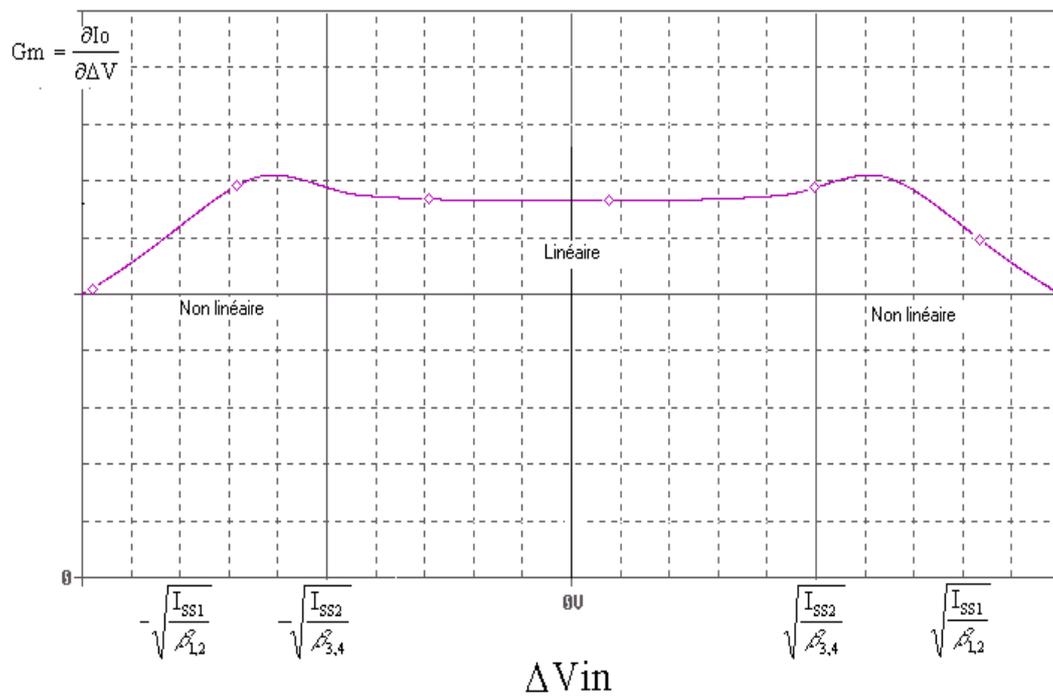


Figure 1.7 : Intervalle de linéarité de la transconductance.

La transconductance en AC est la même qu'en DC pour chaque cellule (M_1, M_2) et (M_3, M_4) sur la figure 1.5 déjà étudiée dans la section 1.3.2, donc par leur croisement on trouve la transconductance générale qui est la différence de transconductance de chaque cellule [4].

1.6 TECHNIQUES DE LINEARISATION

Plusieurs techniques pour améliorer la linéarité de la cellule de transconductance CMOS ont été proposées. La plupart de ces techniques peuvent être classées en deux catégories [1], la classe AB, et la paire couplée à polarisation contrôlée. Quelques transconductances utilisent une ou plusieurs de ces techniques pour obtenir une bonne linéarité.

1.6.1 Cellule de transconductance en Classe AB

1.6.1.1 Principe de base de la cellule

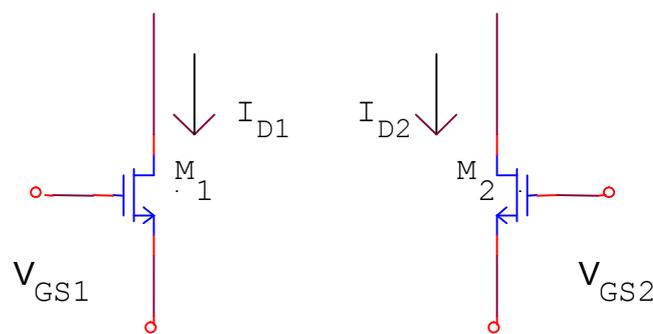


Figure 1.9 : Le circuit de deux transistors démontrant le principe de classe AB.

La transconductance en classe AB est basée sur les caractéristiques des transistors MOS dans la région de saturation, qui comprend deux transistors comme représenté sur la figure 1.9[1], les courants de sortie de cette cellule sont donnés par :

$$I_{D1} = \beta (V_{GS1} - V_T)^2 \quad \text{pour } V_{GS1} > V_T \quad (1.17a)$$

$$I_{D2} = \beta (V_{GS2} - V_T)^2 \quad \text{pour } V_{GS2} > V_T \quad (1.17b)$$

En écrivant $V_{CM} = \frac{(V_{GS1} + V_{GS2})}{2}$, la tension en mode commun, et $\Delta V = V_{GS1} - V_{GS2}$, la tension en mode différentiel, on trouve les courants de chaque drain des transistors M_1 et M_2 à partir de la formule (1.17):

$$I_{D1} = \beta \left(\frac{\Delta V}{2} + V_{CM} - V_T \right)^2 \quad \text{pour } \Delta V > -2(V_{CM} - V_T) \quad (1.18a)$$

$$I_{D2} = \beta \left(-\frac{\Delta V}{2} + V_{CM} - V_T \right)^2 \quad \text{pour } \Delta V < 2(V_{CM} - V_T) \quad (1.18b)$$

La différence entre ces deux courants, donne le courant suivant:

$$I_{diff} = I_{D1} - I_{D2} = 2\beta(V_{CM} - V_T) \Delta V \quad \text{Pour } |\Delta V| < 2(V_{CM} - V_T) \quad (1.19)$$

L'équation 1.19 indique qu'une transconductance linéaire peut être obtenue en s'assurant que la somme des tensions grille-source est constante [1].

La transconductance est donnée par $G_m = 2\beta(V_{CM} - V_T)$, elle est parfaitement linéaire et peut être ajustée en fonction de la tension d'entrée en mode commun. L'intervalle de linéarité est donné pour la région de saturation des transistors $|\Delta V| < 2(V_{CM} - V_T)$. Sur la figure 1.10 est représentée les formules (1.18a), (1.18b) et (1.19). Le courant de sortie linéaire maximum est donné dans la région de tension d'entrée différentielle $|\Delta V| = 2(V_{CM} - V_T)$, où le courant de sortie est donné par :

$$I_{D1,2} = 2I_{DC} = 4\beta(V_{CM} - V_T)^2 \quad (1.20)$$

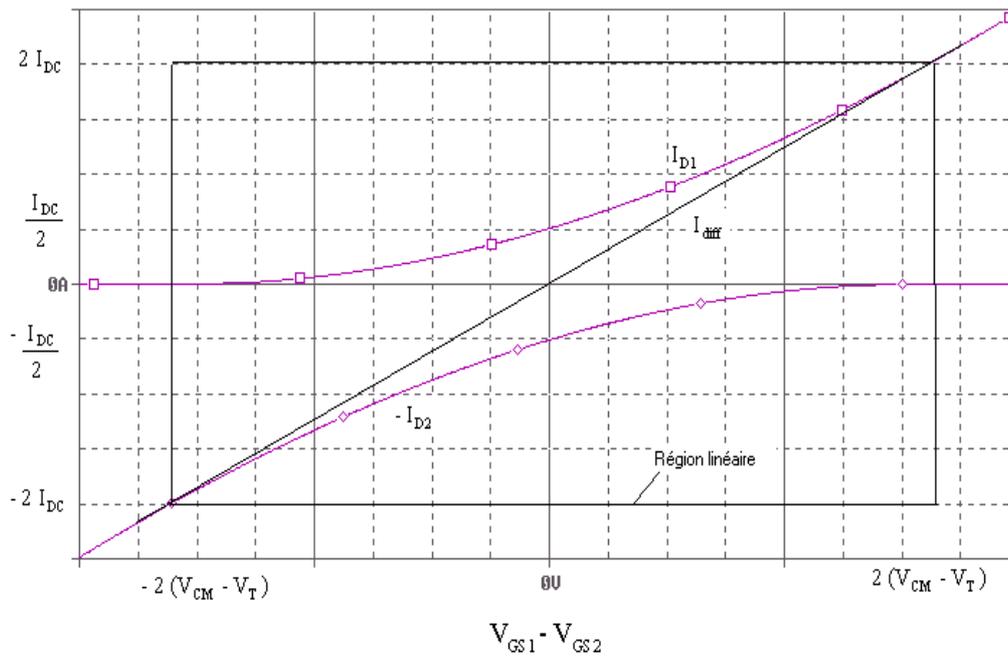


Figure 1.10 : Les courants de sortie I_{D1} , I_{D2} , et I_{diff} en fonction de la tension d'entrée différentielle.

1.6.1.2 La double paire couplée par croisement

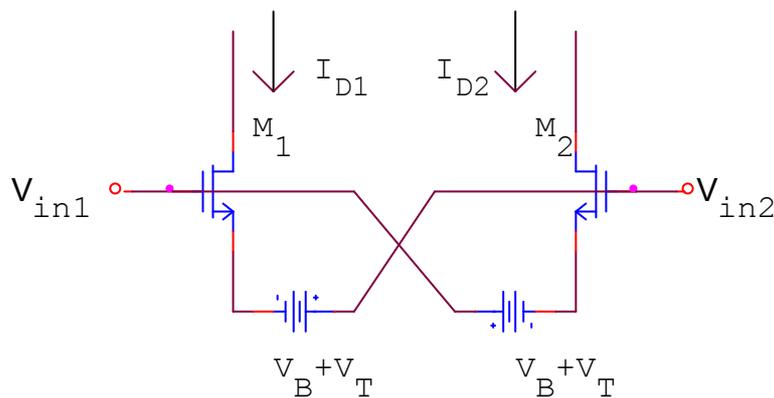


Figure 1.11: Le principe de linéarité de la transconductance en classe AB basé sur le circuit de la figure 1.9.

Une autre alternative du principe du circuit de transconductance en classe AB de la figure 1.9 est d'ajouter à ce circuit deux source de tension entre la grille de M_1 et la source de M_2 et entre la grille de M_2 et la source de M_1 comme montrée sur

la figure 1.11. Dans ce circuit la somme des tensions grille-Source de M_1 et M_2 doit être constante afin d'annuler les non linéarités. La tension en mode commun est donnée par:

$$V_{GS1} + V_{GS2} = 2(V_B + V_T) \quad (1.21a)$$

et la tension en mode différentiel est donnée par:

$$V_{GS1} - V_{GS2} = V_{in1} - V_{in2} = \Delta V \quad (1.21b)$$

la substitution de (1.21a,b) dans (1.18) permet d'obtenir:

$$I_o = I_{D1} - I_{D2} = 4 \beta V_B \Delta V \quad (1.22)$$

La transconductance $G_m = 4\beta V_B$ est parfaitement linéaire et peut être ajustée en changeant la tension de polarisation V_B .

Les sources de tension de la figure 1.11 doivent rester constantes indépendamment du courant le traversant. En outre, les sources de tension ne doivent pas diriger le courant des bornes d'entrée afin de maintenir la résistance de l'entrée élevée. Une autre solution est donnée par les transistors MOS double qui agit comme un seul transistor figure 1.12 avec V_T est remplacé par $V_{T_{eq}}$ (équation 1.24a), et β remplacé par β_{eq} (équation 1.24b).

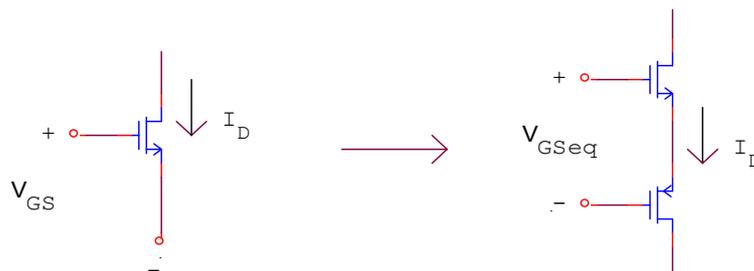


Figure 1.12 : Remplacement du transistor simple par la double paire CMOS.

$$V_{GSeq} = V_{GSn} + V_{GSp} \quad (1.23a)$$

$$V_{GSeq} = \left(\frac{1}{\sqrt{\beta_n}} + \frac{1}{\sqrt{\beta_p}} \right) \sqrt{I_D} + V_{Tn} + |V_{Tp}| \quad (1.23b)$$

En remplaçant les V_{Teq} et β_{eq} par leur équivalent :

$$V_{Teq} = V_{Tn} + |V_{Tp}| \quad (1.24a)$$

$$\beta_{eq} = \frac{\beta_n \beta_p}{(\sqrt{\beta_n} + \sqrt{\beta_p})^2} \quad (1.24b)$$

On obtient le résultat du courant drain de la double paire CMOS équivalent :

$$I_D = \beta_{eq} (V_{GSeq} - V_{Teq})^2 \quad (1.25)$$

Une solution bien meilleure peut être réalisée en remplaçant les transistors M_1 et M_2 sur la figure 1.11 par des paires de transistors MOS double, comme présentée sur la figure 1.13, Il faut noter cependant que les courants drain en M_1 et M_2 ne traversent plus les sources de tension flottantes et que les courants dans M_3 et M_4 sont en fonction de la tension d'entrée.

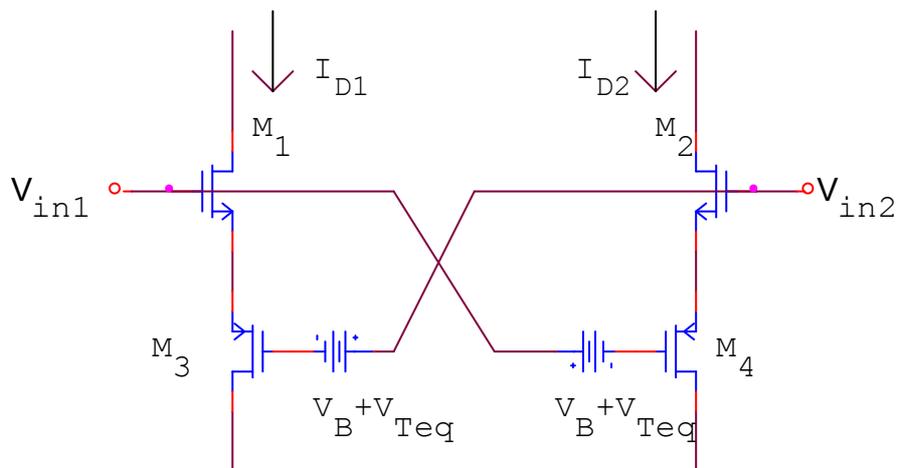


Figure 1.13 : Remplacement des transistors d'entrée par la doubles paires CMOS pour la figure 1.11.

Les sources de tension flottantes peuvent être réalisées par une paire de transistor MOS double dont l'un est reliée comme une diode, polarisé par un courant I_{SS} comme représenté sur la figure 1.14, la tension de polarisation V_B est donnée par:

$$V_B = \sqrt{\frac{I_{SS}}{\beta_{eq}}} \quad (1.26)$$

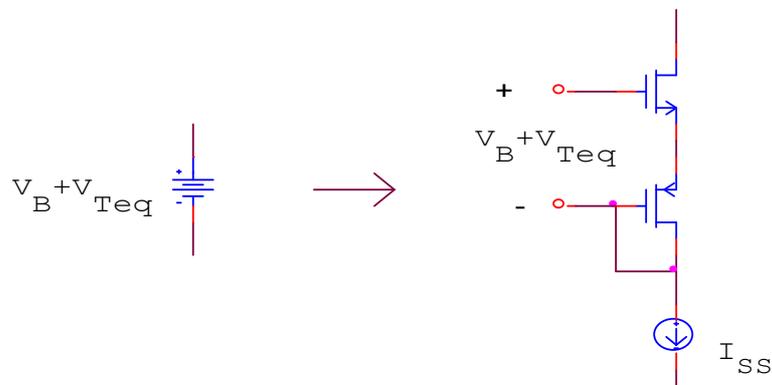


Figure 1.14 : L'équivalent de la source de tension flottante par une paire de transistor MOS double.

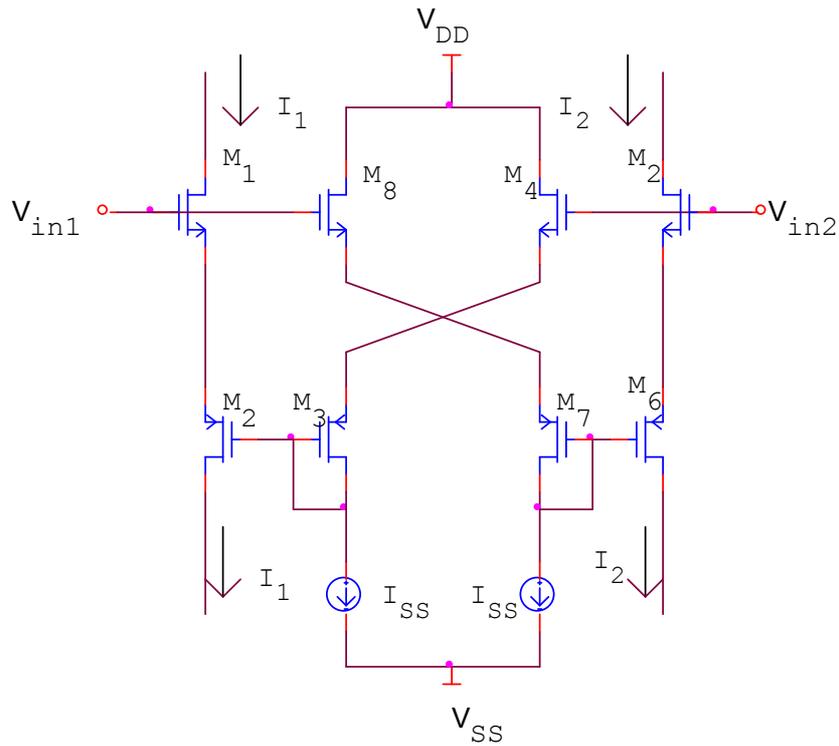


Figure 1.15 : La paire double couplée par croisement en Classe AB.

En introduisant le circuit de polarisation de la figure 1.14 dans le circuit de la figure 1.13 on obtient le circuit comme représenté dans la figure 1.15. En combinant, l'équation (1.22) et l'équation (1.26) on trouve:

$$I_O = I_1 - I_2 = 4\sqrt{I_{SS}\beta_{eq}} \Delta V \quad \text{pour} \quad \Delta V \leq \sqrt{\frac{I_{SS}}{\beta_{eq}}} \quad (1.27)$$

La transconductance est parfaitement linéaire figure 1.16 et peut être ajustée par la variation du courant de polarisation I_{SS} . La gamme linéaire est considérablement meilleure par l'utilisation de la paire de transistor CMOS ($\beta_{eq} < \beta_n, \beta_p$). Cependant le courant de sortie est linéaire jusqu'à $4I_{SS}$ comme montrée dans la figure 1.17.

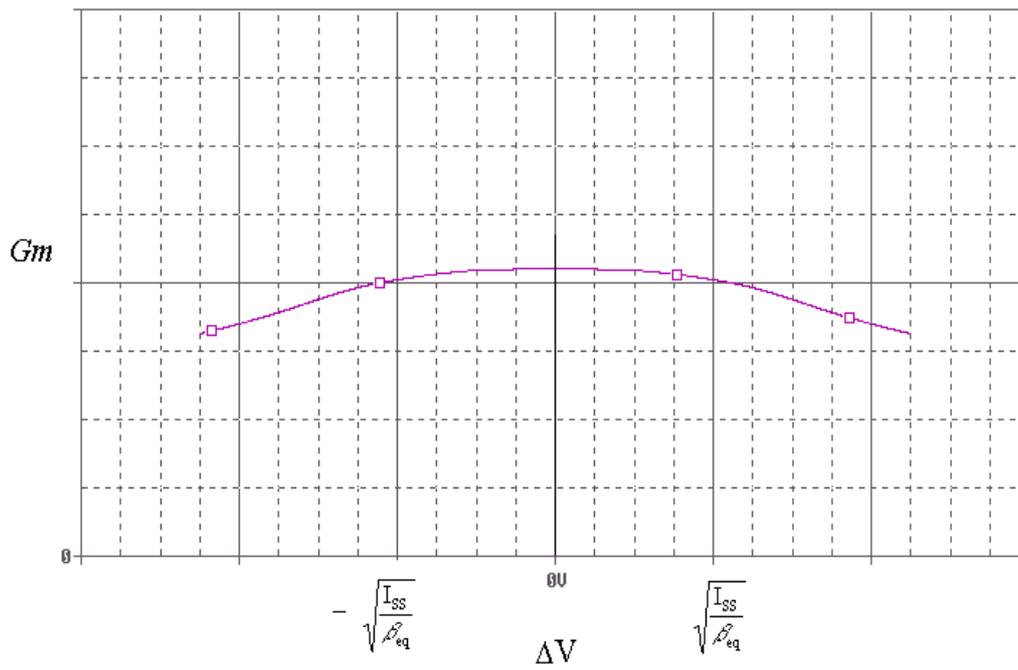


Figure 1.16 : Intervalle de la linéarité de la cellule de transconductance.

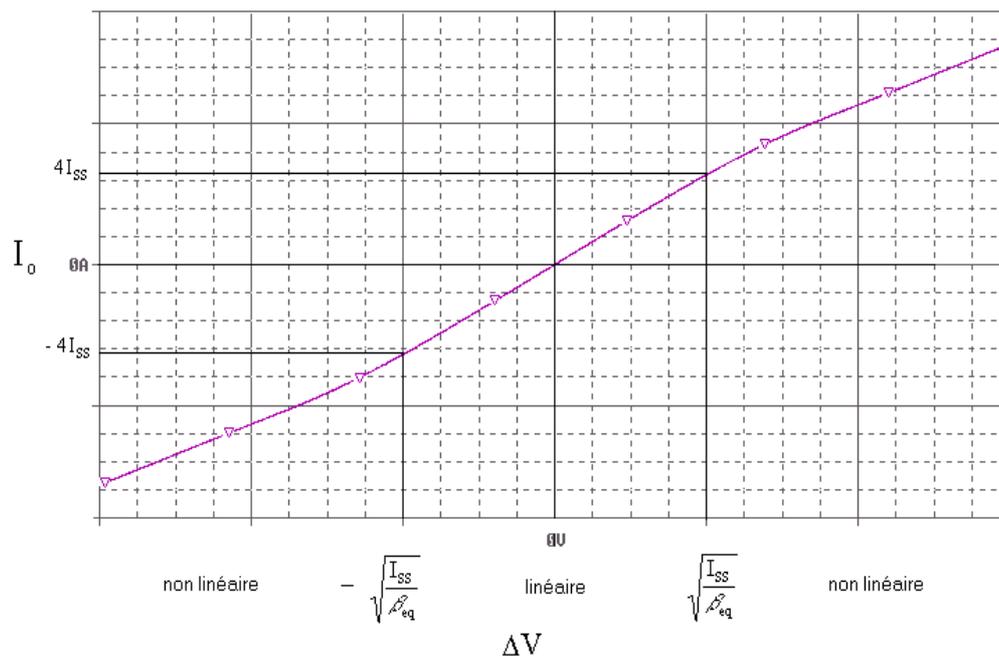


Figure 1.17 : Le courant de sortie I_o , en fonction de la variation de tension d'entrée ΔV .

La somme entre ces courants :

$$I_{SS} = I_{D3} + I_{D4} = 2\beta_{3,4} (V_{CM} - V_T)^2 + \frac{\beta_{3,4}}{2} \Delta V^2 \quad (1.29)$$

Où V_{CM} c'est la tension d'entrée en mode commun qui est égale à :

$$V_{CM} = \frac{V_{in1} + V_{in2}}{2} - V_S \quad (1.30)$$

Par remplacement de l'équation 1.29 dans l'équation (1.6) on obtient le résultat suivant:

$$I_o = \begin{cases} \Delta V \sqrt{2I_{DC}\beta} \sqrt{1 - \frac{\beta - \beta_{3,4}}{2I_{DC}} \Delta V^2} & \text{pour } |\Delta V| \leq \sqrt{\frac{2I_{DC}}{\beta}} \\ I_{DC} + \beta_{3,4} \Delta V^2 & \text{pour } |\Delta V| > \sqrt{\frac{2I_{DC}}{\beta}} \end{cases} \quad (1.31)$$

Où I_{DC} est un courant déterminé par l'équation suivante:

$$I_{DC} = 2\beta_{3,4} (V_{CM} - V_T)^2 \quad (1.32)$$

On obtient une transconductance linéaire $G_m = \sqrt{2I_{DC}\beta}$ pour $\beta_{3,4} = \beta$, qui est non limitée par I_{SS} .

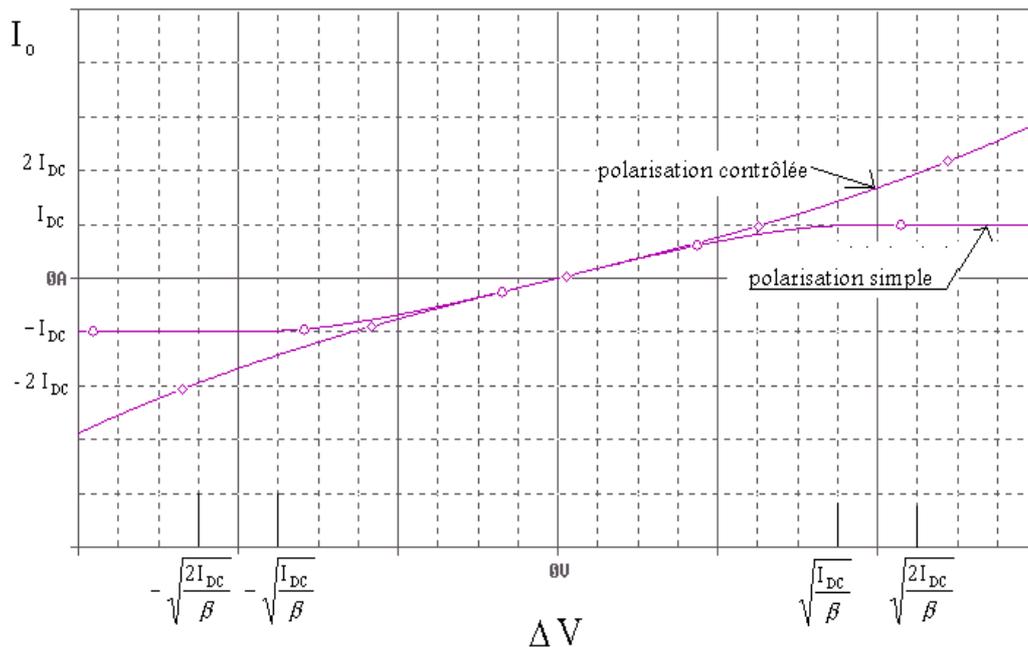


Figure 1.19: Les caractéristiques du courant de sortie de la paire différentielle simple avec la polarisation simple et la polarisation contrôlée.

La figure 1.19 représente le courant de sortie en fonction de la tension d'entrée de la formule 1.28 du circuit avec la polarisation contrôlée, qui donne une augmentation sur l'intervalle de linéarité d'un facteur de $\sqrt{2}$ par rapport au circuit avec polarisation simple. La transconductance en AC et DC est la même, ceci est du que la cellule différentielle est la même seulement ce qui change c'est la polarisation.

1.7 CONCLUSION :

Au cours du présent chapitre, on a présenté une revue de principales architectures de cellules de transconductances CMOS. L'accent a été mis sur la détermination de la transconductance et les techniques associées pour améliorer la linéarité.